

Parte A. DATOS PERSONALES		Fecha del CVA		28-12-2017
Nombre y apellidos	M ^a Luisa López Vallejo			
DNI/NIE/pasaporte	13129154	Edad	49	
Núm. identificación del investigador	Researcher ID	K-9456-2014		
	Código Orcid	0000-0002-3833-524X		

A.1. Situación profesional actual

Organismo	Universidad Politécnica de Madrid			
Dpto./Centro	Ingeniería Electrónica			
Dirección	ETSI Telecomunicación, Avda. Complutense 20, 28040 Madrid			
Teléfono	65169628	correo electrónico	marisa@die.upm.es	
Categoría profesional	Catedrática de Universidad	Fecha inicio	12-05-2016	
Espec. cód. UNESCO	3307			
Palabras clave	VLSI, Diseño microelectrónico,			

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Ingeniero de Telecomunicación	Univ. Politécnica de Madrid	1992
Dr. Ingeniero de Telecomunicación	Univ. Politécnica de Madrid	1999

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

Sexenios de investigación: 3. Fecha del último concedido: 2011
 Número de tesis doctorales dirigidas en los últimos 10 años: 8
 Citas totales: 875 (google scholar) Promedio de citas/año durante los últimos 5 años (sin incluir el año actual), 94
 Publicaciones totales en primer cuartil (Q1): 24 Índice h: 10 (WOS), 14 (google scholar)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM (máximo 3500 caracteres, incluyendo espacios en blanco)

María Luisa López Vallejo ha desarrollado su actividad profesional en régimen de dedicación exclusiva a la investigación y docencia en la E.T.S.I. de Telecomunicación de la Universidad Politécnica de Madrid, dentro del grupo de investigación Laboratorio de Sistemas Integrados, LSI. Dado que la actividad se lleva a cabo en una escuela de ingeniería, como tal se dedica a la investigación aplicada. El mejor indicativo de la calidad de la labor investigadora realizada es su alto grado de utilidad para la sociedad, demostrada por los importantes retornos tecnológicos que produce a través de transferencia de tecnología a las empresas y organismos del sector, revirtiendo en creación de riqueza para la sociedad que financia la investigación. Ha participado en más de 20 proyectos de I+D con diferentes fuentes de financiación, siendo el director de 17 de los mismos. Cabe destacar la continuidad en el trabajo, concatenando la dirección de cinco proyectos del Plan Nacional consecutivos. También ha participado en proyectos europeos. Su investigación ha producido resultados científicos notables en forma de publicaciones, patentes y dirección de Tesis Doctorales. El CV del solicitante incluye 33 artículos en revistas internacionales, la dirección de nueve Tesis Doctorales, tres patentes y más de 60 congresos internacionales del máximo prestigio, con revisión por pares, todos ellos con publicación de *proceedings* con ISBN y alguno con un elevado índice de rechazo. Otro aspecto que cabe destacar es la colaboración con otros grupos de trabajo de prestigio internacional. El solicitante ha realizado varias estancias en centros muy reconocidos (MIT un año sabático, Universidad de Berkeley, Bell Laboratories, Politecnico de Torino). Es miembro de distintos comités de congresos nacionales e internacionales (DATE, GLSVLSI, ICCD, DCIS) desde 2008 hasta hoy.

Parte C. MÉRITOS MÁS RELEVANTES *(ordenados por tipología)*

C.1. Publicaciones (últimos cinco años)

1. F. García-Redondo; M. López-Vallejo. "On the Design and Analysis of Reliable RRAM-CMOS Hybrid Circuits". IEEE Trans. on Nanotechnology. Vol.: 16, Issue 3, Pp. 514-522. July 2017.
2. F. García-Redondo; P. Royer; M. López-Vallejo; H. Aparicio; P. Ituero; C. A. López-Barrio. "Reconfigurable Writing Architecture for Reliable RRAM Operation in Wide Temperature Ranges". IEEE Trans. on VLSI Systems. Vol.: 25, Is.: 4, Pp: 1224 – 1235, April 2017.
3. M Garrido, MA Sánchez, ML López-Vallejo, J Grajal. "A 4096-point radix-4 memory-based FFT using DSP slices" IEEE Trans. on Very Large Scale Integration (VLSI) Systems 25 (1), 375-379
4. F. García-Redondo, R. P. Gowers, A. Crespo, M. López-Vallejo and L. Jiang, "SPICE Compact Modeling of Bipolar/Unipolar Memristor Switching Governed by Electrical Thresholds", IEEE Trans. on Circuits and Systems I: vol. 63, no. 8, pp. 1255-1264. Aug. 2016
5. J.M. Nadal-Serrano and M. Lopez-Vallejo. "A performance study of CUDA UVM vs. manual optimizations in a real-world setup: Application to a Monte Carlo wave-particle event-based interaction mode". IEEE Trans. on Parallel and Distributed Systems, vol. 27, no 6, Jun. 2016.
6. Agustin, J., Lopez-Vallejo, M. L., Soriano, C. G., Cholbi, P., Massengill, L. W., & Chen, Y. P. "Efficient Mitigation of SET Induced Harmonic Errors in Ring Oscillators". IEEE Trans. on Nuclear Science, vol. 62, no 6, p. 3049-3056. Dec. 2015.
7. Agustin, J., Lopez-Vallejo, M. "An In-Depth Analysis of Ring Oscillators: Exploiting Their Configurable Duty-Cycle". IEEE Trans. on Circuits and Systems I, vol. 62, no 10. Oct. 2015.
8. Nadal-Serrano, J.M.; Lopez-Vallejo, M. "A survey on theoretical and practical aspects of imaging aids for artificial vision in professional environments" Sensors Journal, IEEE , vol.15, no.5, pp.2719-2731, May 2015
9. Agustin, J.; Gil, C.; Lopez-Vallejo, M.; Ituero, P. "Design and Characterization of a Built-In CMOS TID Smart Sensor", IEEE Trans. Nuclear Science, 2015. vol.62, n.2, pp. 443-450.
10. Iglesias, V.; Grajal, J.; Royer, P.; Sanchez, M.A.; Lopez-Vallejo, M.; Yeste-Ojeda, O.A., "Real-time low-complexity automatic modulation classifier for pulsed radar signals", Aerospace and Electronic Systems, IEEE Trans. on , vol.51, no.1, pp.108,126, Jan. 2015.
11. Royer, P.; Lopez-Vallejo, M., "Using pMOS pass-gates to boost SRAM performance by exploiting Strain Effects in sub-20nm FinFET Technologies," IEEE Trans. on Nanotechnology, vol.13, no.6, pp.1226,1233, Nov. 2014.
12. Garcia, F.; Lopez-Vallejo, M.; Ituero, P., "Building Memristor Applications: From Device Model to Circuit Design", IEEE Trans. on Nanotechnology, vol.13, no.6, pp.1154-1162, Nov. 2014.
13. C. Gómez-Osuna, P. Ituero, M. López-Vallejo. "A Self-Timed Multi-purpose Delay Sensor for FPGAs". Sensors 14 no. 1, 2014 pp 129-143, 2014.
14. P. Ituero, M. López-Vallejo, C. López-Barrio. "A 0.0016mm² 0.64nJ Leakage Based CMOS Temperature Sensor". Sensors 2013, no. 9, pp 12648-12662.
15. P. Ituero, M. López-Vallejo. Ratio-Based Temperature Sensing Technique Hardened Against Nanometer Process Variations. IEEE Sensors J. vol.3 no.2 pp 442-443, Feb.2013
16. P. Ituero, M. López-Vallejo, M.A. Sánchez, C. Gómez Osuna. "A Light-Weight On-Chip Monitoring Network for Dynamic Adaptation and Calibration". IEEE Sensors Journal. vol.12, is. 6, Jun. 2012,
17. Herrera-Alzu, I.; Lopez-Vallejo, M. "System Design Framework and Methodology for Xilinx Virtex FPGA Configuration Scrubbers". IEEE Trans. on, Nuclear Science, vol.61, no.1, Feb. 2014.
18. Herrera-Alzu, I.; Lopez-Vallejo, M. "Design Techniques for Xilinx Virtex FPGA Configuration Memory Scrubbers", IEEE Trans. on Nuclear Science, vol.60, no.1, pp.376,385, Feb. 2013.
19. F. de Dinechin, P. Echeverría, M. Lopez-Vallejo, B. Pasca, "Floating-Point Exponentiation Units for Reconfigurable Computing", ACM Trans. on Reconfigurable Technology and Systems, 6, 1, Article 4 (May 2013).

C.4. Patentes

Inventores: T. Gabara, Inkyu Lee, M. L. López-Vallejo, y S. Mujtaba
Título: Block Processing in a Maximum a Posteriori Processor for Reduced Power Consumption

N. de solicitud: 7353450 País de prioridad: EEUU Fecha de prioridad: 1 Abril 2008

Entidad titular: Agere Systems Inc. Países a los que se ha extendido: EEUU

Empresa/s que la están explotando: Agere Systems Inc.

Inventores: C. Arrabal, P. Ituero, M. L. López-Vallejo y C. López Barrio

Título: Procedimiento y arquitectura electrónica para la detección SOVA óptima

N. de solicitud: P200701056 País de prioridad: España Fecha de prioridad: 19/04/2007

Entidad titular: Universidad Politécnica de Madrid

Inventores: P. Ituero, J.L. Ayala Rodrigo, M. L. López-Vallejo

Título: Aparato para la medida de temperatura y corriente de fugas en un chip

N. de solicitud: P200702109 País de prioridad: España, Europa, EEUU Fecha de prioridad: 16/07/2008 Entidad titular: Universidad Politécnica de Madrid

C.5 Dirección de tesis doctorales: 8 en los últimos 10 años, todas Sobresaliente Cum Laude dirigidas en la Universidad Politécnica de Madrid

- “Resistive RAM: Simulation and Modeling for Reliable Design”. Fernando García Redondo, 5 de junio de 2017
- “Study, design and validation of a framework model for smoke and particle-filled atmospheres”. José María Nadal Serrano, 27 de abril de 2017
- “Modeling and Design of Ring Oscillators and their Applications in Radiation Environments”. Javier Agustín Sáenz, 16 marzo de 2017
- “Fault management techniques for systems with SRAM-based FPGAs”, Ignacio Herrera Alzu. 23 de julio de 2015
- “Design and simulation of deep nanometer SRAM cells under energy, mismatch, and radiation constraints” Pablo Royer del Barrio. 22 de julio de 2015
- “On-Chip Thermal Monitoring: Design, Placement and Interconnection of Temperature Sensors”. Pablo Ituero Herrero, 12 Julio 2012
- “Implementación de algoritmos de procesamiento de señal sobre FPGAs: especificación reutilización y exploración del espacio de diseño”. Miguel Ángel Sánchez Marcos, 29 Marzo 2012
- “Hardware Acceleration of Monte Carlo-Based Simulations”. Pedro Echeverría Aramendi, 21 Noviembre 2011

C.6 Participación de tareas de evaluación de proyectos: CICYT, ANEP

C.7 Miembro de Comités Técnicos de Congresos Internacionales (últimos 10 años)

- PATMOS 2018, General Chair
- Design Automation and Conference (DATE). Executive Committee, 2017.
- Design Automation and Conference (DATE) Program Committee. Ediciones: 2010, 2011, 2012, 2013, 2014 y 2015 (las dos últimas Track Chair) y 2016.
- Great Lake Symposium on VLSI (GLSVLSI). Ediciones 2011, 2012, 2013, 2014, 2015, 2016
- Design of Circuits and Integrated Systems (DCIS). Desde 2008 hasta hoy.
- Intl. Conf. Computer Design (ICCD). Ediciones 2015, 2016.

C.8 Cargos de gestión

- Responsable de doctorado y posgrado del Dpto. de Ingeniería Electrónica desde el curso 2006-07 al 2009-10.
- Subdirectora para Planificación y Ordenación Académica en la E.T.S.I. Telecomunicación (UPM) desde enero de 2013 a julio de 2015.