

Parte A. DATOS PERSONALES		Fecha del CVA	7/7/17
Nombre y apellidos	Jaume Segura Fuster		
DNI/NIE/pasaporte	43040281-J	Edad	50
Núm. identificación del investigador	Researcher ID		
	Código Orcid		

A.1. Situación profesional actual

Organismo	Univ. De les Illes Balears		
Dpto./Centro	Dept. de Física		
Dirección	Cra. Valldemossa, km. 7.5		
Teléfono	971172530	correo electrónico	Jaume.segura@uib.es
Categoría profesional	Catedrático de Universidad	Fecha inicio	Nov. 2007
Espec. cód. UNESCO	3307		
Palabras clave	Tecnología Micro/Nano electrónica, Circuitos y Sistemas		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Ldo. Ciéncias Físicas	Univ. Illes Balears	1989
Doctor Ciencias Experiment.	Univ. Politècnica de Catalunya	1992

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

4 Sexenios de investigación (última comunicación de concesión: año 2014).

4 Tesis dirigidas en los últimos 10 años.

Según la base de datos Web of Science:

420 citas,

30 promedio de citas/año durante los últimos 5 años (sin incluir el año actual)

Índice h = 11

publicaciones totales en primer cuartil (Q1) = 7 (últimos 5 años)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM (máximo 3500 caracteres, incluyendo espacios en blanco)

El currículum vitae investigador refleja las actividades fundamentales realizadas durante los últimos años, conjugando la participación en proyectos de investigación tanto nacionales como internacionales – financiados tanto desde entidades oficiales en convocatorias competitivas como directamente desde empresas del sector de la microelectrónica – con la publicación de trabajos en revistas internacionales de impacto y congresos, así como con la realización de estancias de investigación en el extranjero (fundamentalmente EE.UU.). Destaca la colaboración con un gran número de investigadores tanto a nivel nacional como internacional.

Parte C. MÉRITOS MÁS RELEVANTES (ordenados por tipología)
C.1. Publicaciones (últimos 10 años)

- J. Verd; M. Sansa; A. Uranga; F. Perez-Murano; J. Segura; N. Barniol” Metal microelectromechanical oscillator exhibiting ultra-high water vapor resolution” Lab On a Chip, Vol. 11, No. 16, pp. 2670-2672, 2011.

- J V. Champac, J. Vazquez, S. Barceló, R. Gomez, C. Hawkins, J. Segura” Testing of Stuck-Open Faults in nanometer technologies” IEEE Design & Test, Vol. 29, No. 4, 80-91, 2012.

- X. Gili, S. Barceló, S. Bota and J. Segura” Analytical modeling of single event transients propagation in combinational logic gates” IEEE Trans. Nucl. Science, Vol. 59, No. 4, 2012.

- H. Villacorta, V. Champac, S. Bota, J. Segura” Resistive bridge defect detection enhancement under parameter variations combining low Vdd and body bias in a delay based test” Microelectronics Reliability, Vol. 52, pp. 2799-2804, 2012.
- H. Villacorta, V. Champac, R. Gomez, C. Hawkins, J. Segura” Reliability analysis of small delay defects due to via narrowing in signal paths” IEEE Design & Test, Vol. 30, No. 6. 2013.
- S. Barceló, X. Gili, S. Bota and J. Segura” Sensitization input vector impact on propagation delay for nanometer CMOS ICs: analysis and solutions” IEEE Trans. on VLSI Systems, Vol. 22, No. 7, pp. 1557-1569, Jul. 2014.
- G. Torrens, I. de Paul, B. Alorda, S. Bota and J. Segura” SRAM alpha-SER estimation from Word-line voltage margin measurements: design architecture and experimental results “ IEEE Trans. on Nucl. Sci., Vol. 61, No. 4, pp. 1849 – 1855, Aug. 2014.
- S. Bota, G. Torrens, J. Verd, J. Segura”. Detailed 8-transistor SRAM cell analysis for improved alpha particle radiation hardening in nanometer technologies. Solid-State Electronics. 111-September, pp.104-110. ISSN 0038-1101, 2015.
- H. Shafiek, F. Fiorentino, J. Merino, C. López, A. Oliver, J. Segura, I. de Paúl, O. Sibila, A. Agusti, B. Cosio, “Using the electronic nose to identify airway infection during COPD Exacerbations” PLoS ONE 10(9): e0135199. doi:10.1371/journal.pone.0135199, 2015.
- Barceló, J.; Rosselló, J.L; Bota, S.; Segura, J.; Verd, J.. Electrostatically actuated microbeam resonators as chaotic signal generators: A practical perspective Communications In Nonlinear Science And Numerical Simulation. 30-1-3, pp.316-327. ISSN 1007-5704. 2016

C.2. Proyectos

- ANESPA. Análisis Estadístico de Parámetros en Circuitos digitales CMOS Nanométricos: Aplicación a métodos de Diseño y Test. Ref: CICYT-TEC 2005-05712. Duración: 2005 - 2008. IP Jaume Segura
- PARACHUTE: Parasitic extraction and optimization for efficient microelectronic system design and application.. Ref: MEDEA+ (2A701). Duración: 2006 - 2007. IP (en la UIB) Jaume Segura
- CIRCE: Contribución española al proyecto PARACHUTE (MEDEA+ 2A701). . Ref: Ministerio de Industria, Turismo y Comercio. Proyecto PROFIT, FIT-330100-2005-60. Duración: 2006 - 2007. IP (en la UIB) Jaume Segura
- SAFHE: Sistema Autoguiado de alta Fiabilidad basado en Hardware Especifico para personas con limitación motriz . Ref: Ministerio de Trabajo y Asuntos Sociales. Duración: 2006 - 2007. IP Jaume Segura
- Complemento al proyecto SAFHE (Sistema Autoguiado de alta Fiabilidad basado en Hardware Especifico para personas con limitación motriz) . Ref: Gobierno comunidad autónoma de les Illes Balears. Duración: 2007 - 2008. IP Jaume Segura
- Desarrollo de una metodología estandarizada para el diseño de redes de senso-actuadores: especificación a la gestión eficiente de recursos en el entorno hotelero. Ref: Gobierno comunidad autónoma de les Illes Balears. Duración: 2007 - 2009. IP José L. Rosselló Sanz
- RADINA. Análisis de fenómenos dinámicos hostiles en tecnologías CMOS nanométricas: Aplicación a diseño y test. Ref: CICYT-TEC 2008-04501. Duración: 2009 - 2011. IP Jaume Segura
- Exploración de un sistema criptográfico irrepitible basado en CMOS-MEMS caóticos para aplicaciones de alta seguridad. . Ref: Ministerio de Ciencia y Tecnología. Proyecto TEC2009-07254-E/TEC. Duración: 2010 - 2011. IP Jaume Verd
- Biomems. . Ref: Gobierno comunidad autónoma de les Illes Balears. Duración: 2010 - 2011. IP Jaume Segura
- OPTIMISE: OPTImisation of Mltigations for Soft, firm and hard Errors.. Ref: CATRENE (CA303). Duración: 2010 - 2013. IP (en la UIB) Jaume Segura

- APOLO: Contribución española al proyecto OPTIMISE (CATRENE CA303). . Ref: Ministerio de Industria, Turismo y Comercio. Proyecto PROFIT, TSI-020400-2010-53. Duración: 2010 - 2013. IP (en la UIB) Jaume Segura
- SOMNIC: Mitigación de eventos transitorios en circuitos CMOS nanométricos mediante parámetros estratégicos considerando variaciones estadísticas... Ref: Ministerio de Ciencia e Innovación, TEC2011-25017. Duración: 2012 - 2014. IP Sebastià Bota
- Red española de variabilidad en tecnologías, circuitos y sistemas micro/nanoelectrónicos. . Ref: Ministerio de Economía y Competitividad. Proyecto TEC2011-15599/MIC. Duración: 2012 - 2013. IP (en la UIB) Jaume Segura
- Ayudas a grupos competitivos. . Ref: Gobierno comunidad autónoma de les Illes Balears. Duración: 2011 - 2014. IP Jaume Segura

C.3. Contratos

“Circuit Design for Low Temperature CMOS ICs”. Microprocessor Research Laboratories, Intel Corporation, USA. (2002-2005). IP Jaume Segura

“Transient current monitors for memory transient ionization detections”. iROC technologies. (2003-2005). IP: Jaume Segura

C.4. Patentes

- J. Segura, J. Rosselló, A. Keshavarzi, S. Narendra, V. De, “Switched current source” N° Patente :US 6,545,619 B1. País de prioridad :EEUU. Año: 2003. Entidad titular: Intel Corporation. Empresa que la está explotando: Intel Corporation

- A. Keshavarzi, J. Segura, V. De, “Method and apparatus for adjusting the threshold of a CMOS radiation-measuring circuit”. N° Patente: US 6,794,630 B2. País de prioridad :EEUU Año: 2004. Entidad titular: Intel Corporation. Empresa que la está explotando: Intel Corporation

- A. Keshavarzi, J. Segura, S. Narendra, V. De. “Selective cooling of an integrated circuit for minimizing power loss” N° Patente US 6,825,687 B2. País de prioridad: EEUU. Año: 2004. Entidad titular: Intel Corporation. Empresa que la está explotando: Intel Corporation

- J. Segura, A. Keshavarzi, V. De, “Double gate transistor for low power circuits”. N° Patente: US 7,053,449 B2. País de prioridad: EEUU. Año: 2006. Entidad titular: Intel Corporation. Empresa que la está explotando: Intel Corporation

- A. Keshavarzi, J. Segura, V. De, “CMOS radiation-measuring circuit with a variable threshold”, N° Patente:US 7,288,752 B2. País de prioridad: EEUU. Año: 2007. Entidad titular: Intel Corporation. Empresa que la está explotando: Intel Corporation

C.5 Participación en comités y representaciones internacionales

- Design & Test in Europe (DATE), Miembro del Comité de Programa. Entidades: EDAA, EDAC, IEEE TTC, IEEE DATC, ECSI, ACM/SIGDA, RAS. Periodo: 2002 - 2007

- “*Chairman*” del IEEE Circuits and Systems (Chapítulo Español) Fecha: 2002 – 2012

- IEEE VLSI Test Symposium. Miembro del Comité de Programa Periodo: 2003 - 2010

- IEEE International Defect Based Testing Workshop, Miembro del Comité de Programa Periodo: 2000 - 2007

- Design & Test in Europe (DATE), Miembro del Comité Ejecutivo Periodo: 2004 - 2008

- IEEE International Test Conference, Miembro del Comité de Programa, Perido: 2003 - 2010

C.6 Experiencia en organización de actividades de I+D

- IEEE VLSI Test Symposium, Miembro del Comité Organizador (A/V chair) Periodo: 2002 - 2004
- IEEE VLSI Test Symposium, Miembro del Comité Organizador (Industrial Practices Chair)
Año: 2005
- IEEE VLSI Test Symposium, Tipo de actividad: Miembro del Comité Organizador (Vice-Programm Chair), Año: 2006

C.7 Cursos Impartidos de carácter internacional

J. Segura and C. Hawkins “FAILURE MODES IN NANOMETER TECHNOLOGIES”
Munich, Alemania. 3 de Marzo de 2003. (Curso Impartido en el ámbito del congreso internacional Design Automation and Test in Europe - DATE'03, tutorial D2)

J. Segura “DEFECT PROPERTIES IN NANOMETER ICs”
Bratislava, 12 de Setiembre de 2003 ((Curso Impartido en el ámbito del congreso internacional Electronic Circuits and Systems Conference - ECS'03)

C. Hawkins and J. Segura, UNDERSTANDING FAILURE MODES AND TEST METHODS IN NANOMETER TECHNOLOGIES

Curso impartido durante cinco ediciones en el ámbito del congreso internacional IEEE International Test Conference. Periodo: 2003 - 2007