

Parte A. DATOS PERSONALES

Fecha del CVA	30-10-2020
----------------------	------------

Nombre y apellidos	M ^a Luisa López Vallejo		
DNI/NIE/pasaporte	13129154	Edad	52
Núm. identificación del investigador	Researcher ID	K-9456-2014	
	Código Orcid	0000-0002-3833-524X	

A.1. Situación profesional actual

Organismo	Universidad Politécnica de Madrid		
Dpto./Centro	Ingeniería Electrónica		
Dirección	ETSI Telecomunicación, Avda. Complutense 20, 28040 Madrid		
Teléfono	65169628	correo electrónico	m.lopez.vallejo@upm.es
Categoría profesional	Catedrática de Universidad	Fecha inicio	12-05-2016
Espec. cód. UNESCO	3307		
Palabras clave	VLSI, Diseño microelectrónico,		

A.2. Formación académica (título, institución, fecha)

Licenciatura/Grado/Doctorado	Universidad	Año
Ingeniero de Telecomunicación	Univ. Politécnica de Madrid	1992
Dr. Ingeniero de Telecomunicación	Univ. Politécnica de Madrid	1999

A.3. Indicadores generales de calidad de la producción científica (véanse instrucciones)

Sexenios de investigación: 4. Fecha del último concedido: Dic. 2017
 Número de tesis doctorales dirigidas en los últimos 10 años: 8
 Citas totales: 1289 (google scholar) Promedio de citas/año durante los últimos 5 años (sin incluir el año actual), 108
 Publicaciones totales en primer cuartil (Q1): 26 Índice h: 10 (WOS), 17 (google scholar)

Parte B. RESUMEN LIBRE DEL CURRÍCULUM (máximo 3500 caracteres, incluyendo espacios en blanco)

María Luisa López Vallejo ha desarrollado su actividad profesional en régimen de dedicación exclusiva a la investigación y docencia en la E.T.S.I. de Telecomunicación de la Universidad Politécnica de Madrid, dentro del grupo de investigación Laboratorio de Sistemas Integrados, LSI. Dado que la actividad se lleva a cabo en una escuela de ingeniería, como tal se dedica a la investigación aplicada. El mejor indicativo de la calidad de la labor investigadora realizada es su alto grado de utilidad para la sociedad, demostrada por los importantes retornos tecnológicos que produce a través de transferencia de tecnología a las empresas y organismos del sector, revirtiendo en creación de riqueza para la sociedad que financia la investigación. Ha participado en más de 20 proyectos de I+D con diferentes fuentes de financiación, siendo el director de 17 de los mismos. Cabe destacar la continuidad en el trabajo, concatenando la dirección de cinco proyectos del Plan Nacional consecutivos. También ha participado en proyectos europeos.

Su investigación ha producido resultados científicos notables en forma de publicaciones, patentes y dirección de Tesis Doctorales. El CV del solicitante incluye más de 40 artículos en revistas internacionales, la dirección de nueve Tesis Doctorales, tres patentes y más de 60 congresos internacionales del máximo prestigio, con revisión por pares, todos ellos con publicación de *proceedings* con ISBN y alguno con un elevado índice de rechazo.

Otro aspecto que cabe destacar es la colaboración con otros grupos de trabajo de prestigio internacional. El solicitante ha realizado varias estancias en centros muy reconocidos (MIT un año sabático, Universidad de Berkeley, Bell Laboratories, Politecnico de Torino, etc.). Es miembro de distintos comités de congresos nacionales e internacionales (DATE, GLSVLSI, ICCD, DCIS, PATMOS, ISLPED) desde 2008 hasta hoy, editora asociada de la revista IEEE Trans. on Nanotechnology y editora de Special Issues en varias revistas.

Parte C. MÉRITOS MÁS RELEVANTES *(ordenados por tipología)*

C.1. Publicaciones (últimos cinco años)

1. X Zhang, J Grajal, M López-Vallejo, E McVay, T Palacios "Opportunities and Challenges of Ambient Radio-Frequency Energy Harvesting" Vol. 4, Is. 6, 17 June 2020, Pages 1148-1152.
2. A de Gracia Herranz, M Lopez-Vallejo "Time-domain writing architecture for multilevel RRAM cells resilient to temperature and process variations" Integration 75, 141-149, 2020.
3. E Pun-García, M López-Vallejo "A Survey of Analog-to-Digital Converters for Operation under Radiation Environments" Electronics 9 (10), 1694, 2020.
4. Nadal-Serrano JM, Gomez G. Pedrosa E, Lopez-Vallejo M, et. Al. "Simple method to generate calibrated synthetic smoke-like atmospheres at microscopic scale". PLoS ONE 14(8). 2019.
5. A. Bahramali, M. Lopez-Vallejo. "A low power RFID based energy harvesting temperature resilient CMOS-only reference voltage" Integration the VLSI Journal. Pp. 155-161, Jul. 2019.
6. M. Garrido, M.L. López-Vallejo, S.G. Chen, "Guest Editorial: Special Section on Fast Fourier Transform Hardware Implementations". Journal of Signal Processing Systems" 90 (11), 2018,
7. F. García-Redondo, M. López-Vallejo. "Self-controlled multilevel writing architecture for fast training in neuromorphic RRAM applications" Nanotechnology 29 (40). Jul. 2018.
8. F. García-Redondo; M. López-Vallejo. "Auto-Erasable RRAM Architecture Secured Against Physical and Firmware Attacks". IEEE TCAS I. Vol. 65, no. 5, pp. 1581-1590. May. 2018.
9. F. García-Redondo; M. López-Vallejo. "On the Design and Analysis of Reliable RRAM-CMOS Hybrid Circuits". IEEE Trans. on Nanotechnology. Vol.: 16, Issue 3, Pp. 514-522. July 2017.
10. F. García-Redondo; P. Royer; M. López-Vallejo; H. Aparicio; P. Ituero; C. A. López-Barrio. "Reconfigurable Writing Architecture for Reliable RRAM Operation in Wide Temperature Ranges". IEEE Trans. on VLSI Systems. Vol.: 25, Is.: 4, Pp: 1224 – 1235, April 2017.
11. M. Garrido, M.A. Sánchez, M. López-Vallejo, J. Grajal. "A 4096-point radix-4 memory-based FFT using DSP slices" IEEE Trans. on Very Large Scale Integration (VLSI) 25 (1) 2017, pp. 375-379.
12. F. García-Redondo, R. P. Gowers, A. Crespo, M. López-Vallejo and L. Jiang, "SPICE Compact Modeling of Bipolar/Unipolar Memristor Switching Governed by Electrical Thresholds", IEEE Trans. on Circuits and Systems I: vol. 63, no. 8, pp. 1255-1264. Aug. 2016
13. J.M. Nadal-Serrano and M. Lopez-Vallejo. "A performance study of CUDA UVM vs. manual optimizations in a real-world setup: Application to a Monte Carlo wave-particle event-based interaction mode". IEEE Trans. on Parallel and Distributed Systems, vol. 27, no 6, Jun. 2016.
14. Agustin, J., Lopez-Vallejo, M. L., Soriano, C. G., Cholbi, P., Massengill, L. W., & Chen, Y. P. "Efficient Mitigation of SET Induced Harmonic Errors in Ring Oscillators". IEEE Trans. on Nuclear Science, vol. 62, no 6, p. 3049-3056. Dec. 2015.
15. Agustin, J., Lopez-Vallejo, M. "An In-Depth Analysis of Ring Oscillators: Exploiting Their Configurable Duty-Cycle". IEEE Trans. on Circuits and Systems I, vol. 62, no 10. Oct. 2015.
16. Nadal, J.M.; Lopez-Vallejo, M. "A survey on theoretical and practical aspects of imaging aids for artificial vision in professional environments" Sensors Journal, IEEE , vol.15, no.5, May 2015
17. Agustin, J.; Gil, C.; Lopez-Vallejo, M.; Ituero, P. "Design and Characterization of a Built-In CMOS TID Smart Sensor", IEEE Trans. Nuclear Science, 2015. vol.62, n.2, pp. 443-450.
18. Iglesias, V.; Grajal, J.; Royer, P.; Sanchez, M.A.; Lopez-Vallejo, M.; Yeste-Ojeda, O.A., "Real-time low-complexity automatic modulation classifier for pulsed radar signals", Aerospace and Electronic Systems, IEEE Trans. on , vol.51, no.1, pp.108,126, Jan. 2015.
19. Royer, P.; Lopez-Vallejo, M., "Using pMOS pass-gates to boost SRAM performance by exploiting Strain Effects in sub-20nm FinFET Technologies," IEEE Trans. Nano, vol.13, no.6, Nov. 2014.
20. Garcia, F.; Lopez-Vallejo, M.; Ituero, P., "Building Memristor Applications: From Device Model to Circuit Design", IEEE Trans. on Nanotechnology, vol.13, no.6, pp.1154-1162, Nov. 2014.

21. C. Gómez-Osuna, P. Ituero, M. López-Vallejo. "A Self-Timed Multi-purpose Delay Sensor for FPGAs". Sensors 14 no. 1, 2014 pp 129-143, 2014.
22. Herrera-Alzu, I.; Lopez-Vallejo, M. "System Design Framework and Methodology for Xilinx Virtex FPGA Configuration Scrubbers". IEEE Trans. on, Nuclear Science, vol.61, no.1, Feb. 2014.

C.2. Proyectos (destacados desde 2010)

MISTI: Autonomous Synthetic Cells for Sensing Applications

Entidad financiadora: MISTI-SPAIN

Cuantía de la subvención: 25.000€

Entidades participantes: Dpto. Ingeniería Electrónica (UPM) y Microsystems Technology Lab (MIT)

Duración, desde: 1/1/20 hasta: 31/08/21

Investigador responsable: María Luisa López Vallejo (UPM) Tomás Palacios (MIT)

Número de investigadores participantes: 4

PGC2018-097339: Efficient and Robust Hardware for Brain-Inspired Computing (NEUROWARE)

Entidad financiadora: CICYT

Cuantía de la subvención: 161.777€

Entidades participantes: Dpto. Ingeniería Electrónica (UPM)

Duración, desde: 1/1/19 hasta: 31/12/22

Investigador responsable: María Luisa López Vallejo y Pablo Ituero

Número de investigadores participantes: 6

TEC2015-65902: Variability in Nanometric technologies: Tolerance, Reliability and Benefits (TOLERA2)

Entidad financiadora: CICYT

Cuantía de la subvención: 72.100€

Entidades participantes: Laboratorio de Sistemas Integrados (UPM)

Duración, desde: 1/01/16 hasta: 31/12/18

Investigador responsable: María Luisa López Vallejo

Número de investigadores participantes: 5

TEC2012-31292: Tolerancia a variaciones PVT y radiación en tecnologías nanométricas (TOLERA)

Entidad financiadora: CICYT

Cuantía de la subvención: 175.500€

Entidades participantes: Laboratorio de Sistemas Integrados (UPM)

Duración, desde: 1/01/13 hasta: 31/12/15

Investigador responsable: María Luisa López Vallejo

Número de investigadores participantes: 7

C.3. Contratos

Título del proyecto: Soporte a la definición, diseño, desarrollo y validación de una biblioteca microelectrónica de células estándar endurecida frente a radiación, compatible con la tecnología IHP SGB25RH. Proyecto Europeo EUROSTARS LIBRA (Ref. E9364)

Entidad financiadora: Comisión Europea-7FP.

Entidades participantes: Arquimea, IHP,

Silicon Radar GmbH (Alemania), UPM (Spain)

Duración, desde: 1/09/15 hasta: 31/05/17

Investigador responsable UPM: María Luisa López Vallejo

Cuantía de la subvención (UPM): 70.000 Euros

Título del proyecto: MOBILE, AUTONOMOUS AND AFFORDABLE SYSTEM TO INCREASE SAFETY IN LARGE UNPREDICTABLE ENVIRONMENTS (BASYLIS). (FP7-SEC-2010-1) - Collaborative Project 261786.

Entidad financiadora: Comisión Europea-7FP.

Entidades participantes: INDRA S.A., NTGS, Universidad de Florencia, TERMA, Microflow Technologies, Mirasys, UPM, University College London, NCPCI

Duración desde: Mayo -2011 hasta: Abril-2013

Cuantía de la subvención: 2.037.265 Euros (174.748 UPM.)

Investigador responsable: Francisco Segura (INDRA SA). – Jesús Grajal (UPM)

C.4. Patentes

Inventores: T. Gabara, Inkyu Lee, M. L. López-Vallejo, y S. Mujtaba

Título: Block Processing in a Maximum a Posteriori Processor for Reduced Power Consumption
N. de solicitud: 7353450 País de prioridad: EEUU Fecha de prioridad: 1 Abril 2008
Entidad titular: Agere Systems Inc. Países a los que se ha extendido: EEUU
Empresa/s que la están explotando: Agere Systems Inc.

Inventores: C. Arrabal, P. Ituero, M. L. López-Vallejo y C. López Barrio

Título: Procedimiento y arquitectura electrónica para la detección SOVA óptima
N. de solicitud: P200701056 País de prioridad: España Fecha de prioridad: 19/04/2007
Entidad titular: Universidad Politécnica de Madrid

Inventores: P. Ituero, J.L. Ayala Rodrigo, M. L. López-Vallejo

Título: Aparato para la medida de temperatura y corriente de fugas en un chip
N. de solicitud: P200702109 País de prioridad: España, Europa, EEUU Fecha de prioridad: 16/07/2008
Entidad titular: Universidad Politécnica de Madrid

C.5 Dirección de tesis doctorales: 8 en los últimos 10 años, todas Sobresaliente Cum Laude dirigidas en la Universidad Politécnica de Madrid

- “Resistive RAM: Simulation and Modeling for Reliable Design”. Fernando García Redondo, 5 de junio de 2017
- “Study, design and validation of a framework model for smoke and particle-filled atmospheres”. José María Nadal Serrano, 27 de abril de 2017
- “Modeling and Design of Ring Oscillators and their Applications in Radiation Environments”. Javier Agustín Sáenz, 16 marzo de 2017
- “Fault management techniques for systems with SRAM-based FPGAs”, Ignacio Herrera Alzu. 23 de julio de 2015
- “Design and simulation of deep nanometer SRAM cells under energy, mismatch, and radiation constraints” Pablo Royer del Barrio. 22 de julio de 2015
- “On-Chip Thermal Monitoring: Design, Placement and Interconnection of Temperature Sensors”. Pablo Ituero Herrero, 12 Julio 2012
- “Implementación de algoritmos de procesamiento de señal sobre FPGAs: especificación reutilización y exploración del espacio de diseño”. Miguel Ángel Sánchez Marcos, 29 Marzo 2012
- “Hardware Acceleration of Monte Carlo-Based Simulations”. Pedro Echeverría Aramendi, 21 Noviembre 2011

C.6 Participación de tareas de evaluación de proyectos: CICYT, ANEP, EU

C.7 Miembro de Comités Técnicos de Congresos Internacionales (últimos 10 años)

- IEEE trans. on Nanotechnology, associate editor desde 2017.
- PATMOS 2018, General Chair. PATMOS 2019, Program Chair.
- Design Automation and Conference (DATE). Executive Committee, 2017, 2020.
- ISLPED 2019, Program Committee.
- Design Automation and Conference (DATE) Program Committee. Ediciones: 2010 - 2015 (las dos últimas Track Chair) y 2016.
- Great Lake Symposium on VLSI (GLSVLSI). Ediciones 2011 – 2016
- Design of Circuits and Integrated Systems (DCIS). Desde 2008 hasta hoy.

C.8 Cargos de gestión

- Desde abril de 2020 gestora del área TIC-MNF de la División de Coordinación, Evaluación y Seguimiento Científico Técnico, Agencia Estatal de Investigación.
- Subdirectora para Planificación y Ordenación Académica en la E.T.S.I. Telecomunicación (UPM) desde enero de 2013 a julio de 2015.