

Fecha del CVA	21/11/2022
---------------	------------

Parte A. DATOS PERSONALES

Nombre *	Francesc de Borja		
Apellidos *	Moll Echeto		
Sexo *	Hombre	Fecha de Nacimiento *	13/02/1966
DNI/NIE/Pasaporte *	43037602W	Teléfono *	934016846
URL Web			
Dirección Email	francesc.moll@upc.edu		
Identificador científico	Open Researcher and Contributor ID (ORCID) *	0000-0002-1290-3253	
	Researcher ID	AAH-6727-2021	
	Scopus Author ID	57202029071	

* Obligatorio

A.1. Situación profesional actual

Puesto	Titular de universidad		
Fecha inicio	1997		
Organismo / Institución	Universitat Politècnica de Catalunya		
Departamento / Centro	Departamento de Ingeniería Electrónica / Escuela Técnica Superior de Ingeniería de Telecomunicación de Barcelona (ETSETB)		
País		Teléfono	
Palabras clave	Verificación de circuitos integrados digitales; Nanoelectrónica; Diseño de circuitos integrados digitales; Diseño de circuitos integrados mixtos		

A.3. Formación académica

Grado/Master/Tesis	Universidad / País	Año
CIENCIAS FISIKES	Universitat Politècnica de Catalunya	1995
CIENCIAS FISIKES	UIB	1990

A.4. Indicadores generales de calidad de la producción científica

Número de sexenios de investigación: 4

Fecha del último concedido: 01/01/2017

Número de tesis doctorales dirigidas en los últimos 10 años: 5

Citas totales: 292

Promedio de citas/año durante los últimos 5 años (sin incluir el año actual): 5.4

Publicaciones totales en primer cuartil (Q1): 7

Índice h: 15.0

Parte C. MÉRITOS MÁS RELEVANTES

C.1. Publicaciones

AC: Autor de correspondencia; (nº x / nº y): posición firma solicitante / total autores. Si aplica, indique el número de citaciones

- Artículo científico.** Palma, K.; Moll, F.(2/2). 2022. Current balancing random body bias in FDSOI cryptosystems as a countermeasure to leakage power analysis attacks IEEE access. Institute of Electrical and Electronics Engineers (IEEE). 10, pp.13451-13459. ISSN 2169-3536. <https://doi.org/10.1109/ACCESS.2022.3144639>

- 2 **Artículo científico.** Palma, K.; Moll, F.(2/2). 2021. Analysis of random body bias application in FDSOI cryptosystems as a countermeasure to leakage-based power analysis attacks IEEE access. Institute of Electrical and Electronics Engineers (IEEE). 9, pp.114977-114988. ISSN 2169-3536. (1) <https://doi.org/10.1109/ACCESS.2021.3105635>
- 3 **Artículo científico.** López, P.; Gabilondo, I.; Alarcon, E.; Moll, F.(4/4). 2020. Mechanical energy harvesting taxonomy for industrial environments: application to the railway industry IEEE transactions on intelligent transportation systems. 21-7, pp.2696-2706. ISSN 1524-9050. (7) <https://doi.org/10.1109/TITS.2019.2924987>
- 4 **Artículo científico.** Calomarde, A.; Rubio, A.; Moll, F.; Gamiz, F.(3/4). 2020. Active radiation-hardening strategy in bulk FinFETs IEEE access. Institute of Electrical and Electronics Engineers (IEEE). 8, pp.201441-201449. ISSN 2169-3536. (1) <https://doi.org/10.1109/ACCESS.2020.3035974>
- 5 **Artículo científico.** Escudero, M.; Vourkas, I.; Rubio, A.; Moll, F.(4/4). 2019. Memristive logic in crossbar memory arrays: Variability-aware design for higher reliability IEEE transactions on nanotechnology. 18, pp.635-646. ISSN 1536-125X. (9) <https://doi.org/10.1109/TNANO.2019.2923731>
- 6 **Artículo científico.** Nunes, D.; Moll, F.; Valtchev, S.(2/3). 2018. Prospects of Tunnel FETs in the design of power management circuits for weak energy harvesting dc sources IEEE Journal of the Electron Devices Society. Institute of Electrical and Electronics Engineers (IEEE). 6-1, pp.382-391. ISSN 2168-6734. (6) <https://doi.org/10.1109/JEDS.2018.2808950>
- 7 **Artículo científico.** Nunes, D.; Moll, F.; Valtchev, S.(2/3). 2017. Insights into tunnel FET-based charge pumps and rectifiers for energy harvesting applications IEEE transactions on very large scale integration (VLSI) systems. 25-3, pp.988-997. ISSN 1063-8210. (7) <https://doi.org/10.1109/TVLSI.2016.2617203>
- 8 **Artículo científico.** Nunes, D.; Moll, F.; Valtchev, S.(2/3). 2016. TFET-Based power management circuit for RF energy harvesting IEEE Journal of the Electron Devices Society. Institute of Electrical and Electronics Engineers (IEEE). 5-1, pp.7-17. ISSN 2168-6734. (20) <https://doi.org/10.1109/JEDS.2016.2619908>
- 9 **Artículo científico.** Amat, Esteve; Calomarde, A.; Moll, F.; Canal, R.; Rubio, A.(3/5). 2016. Feasibility of Embedded DRAM Cells on FinFET Technology IEEE transactions on computers. Institute of Electrical and Electronics Engineers (IEEE). 65-4, pp.1068-1074. ISSN 0018-9340. (11) <https://doi.org/10.1109/TC.2014.2375204>
- 10 **Artículo científico.** Gomez, S.; Moll, F.; Mauricio, J.(2/3). 2014. Lithography parametric yield estimation model to predict layout pattern distortions with a reduced set of lithography simulations Journal of micro/nanolithography, MEMS and MOEMS. 13-3. ISSN 1932-5150. (1) <https://doi.org/10.1117/1.JMM.13.3.033016>
- 11 **Artículo científico.** Calomarde, A.; Amat, Esteve; Moll, F.; Vigarra, J.; Rubio, A.(3/5). 2014. SET and noise fault tolerant circuit design techniques: application to 7 nm FinFET Microelectronics reliability. 54-4, pp.738-745. ISSN 0026-2714. (10) <https://doi.org/10.1016/j.microrel.2013.12.018>
- 12 **Artículo científico.** Cortadella, J.; Petit, J.; Gomez, S.; Moll, F.(4/4). 2014. A boolean rule-based approach for manufacturability-aware cell routing IEEE transactions on computer-aided design of integrated circuits and systems. 33-3, pp.409-422. ISSN 0278-0070. (10) <https://doi.org/10.1109/TCAD.2013.2292514>
- 13 **Artículo científico.** Perez, J.; Moll, F.; Calomarde, A.(2/3). 2014. All-digital simple clock synthesis through a glitch-free variable-length ring oscillator IEEE transactions on circuits and systems II: express briefs. 61-2, pp.90-94. ISSN 1549-7747. (3) <https://doi.org/10.1109/TCSII.2014.2299096>
- 14 **Artículo científico.** Mauricio, J.; Moll, F.; Gomez, S.(2/3). 2014. Measurements of process variability in 40-nm regular and nonregular layouts IEEE transactions on electron devices. 61-2, pp.365-371. ISSN 0018-9383. (4) <https://doi.org/10.1109/TED.2013.2294742>

C.2. Congresos

- 1 Abella, J.; Bulla, C.; Cabo, G.; Cazorla, F. J.; Cristal, A.; Doblas, M.; Figueras, R.; González, A.; Hernández, C.; Hernández, C.; Jiménez, V.; Kosmidis, L.; Kostalampros, I.; Langarita, R.; Leyva, N.; López-Paradís, G.; Marimon, J.; Martínez, R.; Mendoza, J.; Moll, F.; Moreto, M.; Pavón, J.; Ramírez, C.; Ramírez, M.; Rojas, C.; Rubio, A.; Ruiz, A.; Sonmez, Nehir; Teres, L.; Soria, V.; Unsal, O.; Valero, M.; Vargas, I.; Villa, L.. An academic RISC-V silicon implementation based on open-source components. XXXV Conference on Design of Circuits and Integrated Systems. 2020. España. Participativo - Ponencia oral (comunicación oral).
- 2 Palma, K.; Moll, F.. Linear, time-invariant model of the dynamics of a CMOS CC-CP. MWSCAS 2019 - IEEE 62nd International Midwest Symposium on Circuits and Systems. 2020. Participativo - Otros.
- 3 Barajas, E.; Aragonés, X.; Mateo, D.; Moll, F.; Rubio, A.; Martín, J.; Rodríguez, R.; Porti, M.; Nafria, M.; Castro Lopez, R.; Roca, E.; Fernandez, F.. Analysis of body bias and RTN-induced frequency shift of low voltage ring oscillators in FDSOI technology. 28th International Symposium on Power and Timing Modeling, Optimization and Simulation. 2018. España. Participativo - Ponencia oral (comunicación oral).
- 4 Escudero, M.; Vourkas, I.; Rubio, A.; Moll, F.. On the variability-aware design of memristor-based logic circuits. 18th IEEE International Conference on Nanotechnology. 2018. Irlanda. Participativo - Ponencia oral (comunicación oral).
- 5 Escudero, M.; Rubio, A.; Moll, F.; Vourkas, I.. Variability-tolerant memristor-based ratioed logic in crossbar array. 14th IEEE/ACM International Symposium on Nanoscale Architectures. 2018. Grecia. Participativo - Ponencia oral (comunicación oral).
- 6 Diez, P.; Gabilondo, I.; Alarcon, E.; Moll, F.. A comprehensive method to taxonomize mechanical energy harvesting technologies. 2018 IEEE International Symposium on Circuits and Systems. 2018. Participativo - Ponencia oral (comunicación oral).
- 7 Justo, D.; Nunes, D.; Moll, F.. Body bias generators for ultra low voltage circuits in FDSOI technology. XXXII Conference on Design of Circuits and Integrated Systems. 2017. España. Participativo - Ponencia oral (comunicación oral).
- 8 Escudero, M.; Moll, F.; Rubio, A.; Vourkas, I.. An on-line test strategy and analysis for a 1T1R crossbar memory. 23rd IEEE International Symposium on On-Line Testing and Robust System Design. 2017. Grecia. Participativo - Ponencia oral (comunicación oral).
- 9 Marin-Martinez, J.; Rodriguez, R.; Nafria, M.; Torrents, G.; Bota, S.A.; Segura, J.; Moll, F.; Rubio, A.. Statistical characterization and modeling of random telegraph noise effects in 65nm SRAM cells. 14th International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design. 2017. Italia. Participativo - Ponencia oral (comunicación oral).
- 10 Rubio, A.; Moll, F.; Escudero, M.; Zuin, S.; Vourkas, I.; Sirakoulis, G.. Experience on material implication computing with an electromechanical memristor emulator. SSCI 2016. 2016. Grecia. Participativo - Ponencia oral (comunicación oral).
- 11 Calomarde, A.; Amat, E.; Rubio, A.; Moll, F.; Gamiz, F.. Active charge collection strategy for radiation environment at device level. RADECS 2016. 2016. Alemania. Participativo - Ponencia oral (comunicación oral).
- 12 Nunes, D.; Moll, F.; Valtchev, S.. A battery-less, self-sustaining RF energy harvesting circuit with TFETs for μ W power applications. NEWCAS 2016 - 14th International New Circuits and Systems Conference. 2016. Canadá. Participativo - Ponencia oral (comunicación oral).
- 13 Perez, J.; Moll, F.. ASIC implementation of an all-digital self-adaptive PVTA variation-aware clock generation system. 2016 ACM Great Lakes Symposium on VLSI. 2016. Estados Unidos de América. Participativo - Ponencia oral (comunicación oral).
- 14 García, L.; Rivera, J.; Calomarde, A.; Moll, F.; Rubio, A.. Robust sequential circuits design technique for low voltage and high noise scenarios. 2015 the 3rd International Conference on Control, Mechatronics and Automation, ICCMA 2015. 2016. España. Participativo - Ponencia oral (comunicación oral).

C.3. Proyectos y Contratos

- 1 **Proyecto.** IU16-011643 HIPICS P6, 001-P-001723_Disseny d'acceleradors basats en la tecnologia RISC per a la propera generació de computadors (DRAC). GENCAT - DEPT. D'EMPRESA I OCUPACIO. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 01/06/2019-31/12/2022. 5.539,89 €.
- 2 **Proyecto.** IU16-011643 HIPICS P5, 001-P-001723_Disseny d'acceleradors basats en la tecnologia RISC per a la propera generació de computadors (DRAC). GENCAT - DEPT. D'EMPRESA I OCUPACIO. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 01/06/2019-31/12/2022. 33.239,33 €.
- 3 **Proyecto.** IU16-011643 HIPICS P4, 001-P-001723_Disseny d'acceleradors basats en la tecnologia RISC per a la propera generació de computadors (DRAC). GENCAT - DEPT. D'EMPRESA I OCUPACIO. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 01/06/2019-31/12/2022. 55.398,89 €.
- 4 **Proyecto.** IU16-011643 HIPICS P1, 001-P-001723_Disseny d'acceleradors basats en la tecnologia RISC per a la propera generació de computadors (DRAC). GENCAT - DEPT. D'EMPRESA I OCUPACIO. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 01/06/2019-31/12/2022. 16.619,66 €.
- 5 **Proyecto.** RED2018-102384-T, Investigación, formación y prospectiva en sistemas RISC-V. MINISTERIO DE CIENCIA, INNOVACIÓN Y UNIVERSIDADES. Francesc de Borja Moll Echeto. (Instituto de Microelectrónica de Barcelona (IMB-CNM)). 08/10/2019-07/10/2022. 25.000 €.
- 6 **Proyecto.** TEC2016-75151-C3-2-R, Dispositivos, circuitos y arquitecturas fiables y de bajo consumo para IoT.. MIN DE ECONOMIA Y COMPETITIVIDAD. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 30/12/2016-29/06/2021. 243.815 €.
- 7 **Proyecto.** TEC2013-45638-C3-2-R, Aproximación multinivel al diseño orientado a la fiabilidad de circuitos integrados analógicos y digitales. MIN DE ECONOMIA Y COMPETITIVIDAD. (Departamento de Ingeniería Electrónica). 01/01/2014-31/12/2018. 261.481 €.
- 8 **Proyecto.** TEC2008-01856, PRINCIPIOS DE DISEÑO Y TEST DE SISTEMAS INTEGRADOS EN TERA-ESCALA. Ministerio de Ciencia e Innovación (MICINN). (Departamento de Ingeniería Electrónica). 01/01/2009-30/06/2014. 551.155 €.
- 9 **Proyecto.** 2009 SGR 1497, GRUP DE RECERCA DE CIRCUITS I SISTEMES INTEGRATS D'ALTES PRESTACIONS (HIPICS). AGAUR. Agència de Gestió d'Ajuts Universitaris i de Recerca. (Departamento de Ingeniería Electrónica). 22/07/2009-30/04/2014. 44.720 €.
- 10 **Proyecto.** TEC2008-01856, PRINCIPIOS DE DISEÑO Y TEST DE SISTEMAS INTEGRADOS EN TERA-ESCALA. Gobierno de España. Ministerio de Ciencia e Innovación (Micinn). (Departament d'Enginyeria Electrònica-UPC). 01/01/2009-31/12/2013. 551.155 €.
- 11 **Proyecto.** TEC2008-01856, Principios de diseño y test de sistemas integrados en tera-escala. Ministerio de Ciencia e Innovación. (Departamento de Ingeniería Electrónica). 01/12/2009-30/11/2013.
- 12 **Proyecto.** 248538 SYNAPTIC, Synthesis using advanced process technology integrated in regular cells, IPs, architectures, and design platforms. Commission of European Communities. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 02/11/2009-03/02/2013. 337.638 €.
- 13 **Proyecto.** FP7-248789-TRAMS, Terascale reliable adaptive memory systems. Commission of European Communities. (Departamento de Ingeniería Electrónica). 01/01/2010-31/12/2012. 413.066,5 €.
- 14 **Proyecto.** FP7-PL2009-0024-MODERN, Modeling and design of reliable, process-variation aware nanoelectronic devices,circuits and systems. Ministerio de Ciencia e Innovación (MICINN). Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 01/04/2009-31/03/2012. 173.363 €.
- 15 **Proyecto.** ENIAC 120003 MODERN, Modeling and design of reliable, process-variation aware nanoelectronic devices,circuits and systems. Commission of European Communities. Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 01/03/2009-28/02/2012. 33.953,98 €.

- 16 Proyecto.** TEC2004-03289, Sistema integrado en chip (SoC) de muy bajo consumo para redes inalámbricas ad-hoc. Gobierno de España. Ministerio de Ciencia y Tecnología. Secretaría de Estado de Política Científica y Tecnológica. (Departamento de Ingeniería Electrónica). 13/12/2004-12/12/2005. 17.020 €.
- 17 Proyecto.** TIC95-0469, Modelación de acoplamientos parásitos en circuitos integrados, aplicación a diseño digital de bajo nivel de ruido y altas prestaciones. Comisión Interministerial de Ciencia y Tecnología. (Departamento de Ingeniería Electrónica). 01/01/1996-31/01/1998. 100.000 €.
- 18 Contrato.** SISTEMA AUTÒNOM DE COMANDAMENT D'ELEMENTS Francesc de Borja Moll Echeto. (Departamento de Ingeniería Electrónica). 10/06/2003-28/11/2003. 9.300 €.

C.4. Actividades de transferencia y explotación de resultados

- 1 Patente invención.** Antonio Calomarde Palomino; Jose Antonio Rubio Sola; Francesc de Borja Moll Echeto; Lancelot García Leyva. P200901626. Procedimiento para la mejora de la fiabilidad de circuitos integrados digitales en condiciones de baja relación señal a ruido P200901626 España. 15/07/2009. Universitat Politècnica de Catalunya.
- 2 Patente invención.** Jose Antonio Rubio Sola; Francesc de Borja Moll Echeto; Jose Luis Gonzalez Jimenez; A Roselló; Ferran Martorell Cid. 200300385. Sistema para el control de la distancia de un conjunto de elementos a un elemento de referencia España. 01/09/2004. Antonio Rosello Junyent.
- 3 Patente invención.** Josep Altet Sanahujes; Xavier Aragonés Cervera; Jose Luis Gonzalez Jimenez; Diego Cesar Mateo Peña; Francesc de Borja Moll Echeto; Jose Antonio Rubio Sola. P200002735. Procedimiento de verificación estructural de circuitos analógicos basado en la observación interna y concurrente de temperatura España. 03/11/2000. UPC.